

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335625

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 09-142192

(71)Applicant : CANON INC

(22)Date of filing : 30.05.1997

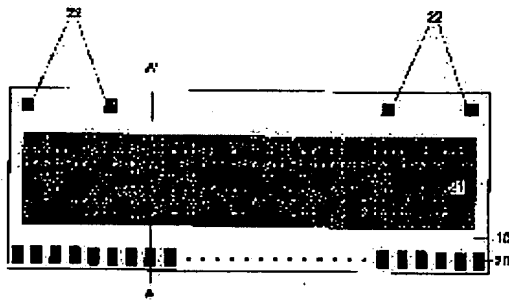
(72)Inventor : SAWADA KOJI  
KOZUKA HIRAKI

### (54) PHOTOELECTRIC TRANSDUCER AND CLOSE CONTACT IMAGE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric transducer composed of a photodetecting element and a peripheral circuit integrated on the same semiconductor substrate, where a fixed pattern noise caused by stray carriers which flow into the photodetecting element is restrained by a method wherein stray carriers generated in the peripheral circuit are reduced.

SOLUTION: A photoelectric transducer is composed of photodetecting elements 20 formed in second-conductivity-type first semiconductor regions provided to the surface of a first-conductivity-type semiconductor substrate 10, an operation amplifier formed of MOS transistors, and an output circuit which drives an outer load through the intermediary of a signal output pad 22, where the photodetective elements 20, the operation amplifier, and the output circuit are provided onto the same semiconductor substrate. The output circuit is composed of an N-MOS source follower where the output of the operation amplifier is inputted and a P-MOS source follower where the output of the N-MOS source follower is inputted, the output of the P-MOS source follower is connected to the inversion input terminal of the operation amplifier and to the signal output pad 22 connected to an outer load.



### LEGAL STATUS

[Date of request for examination] 19.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3320335

[Date of registration] 21.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335625

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平9-142192

(22) 出願日 平成9年(1997)5月30日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 澤田 幸司

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 小塚 開

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

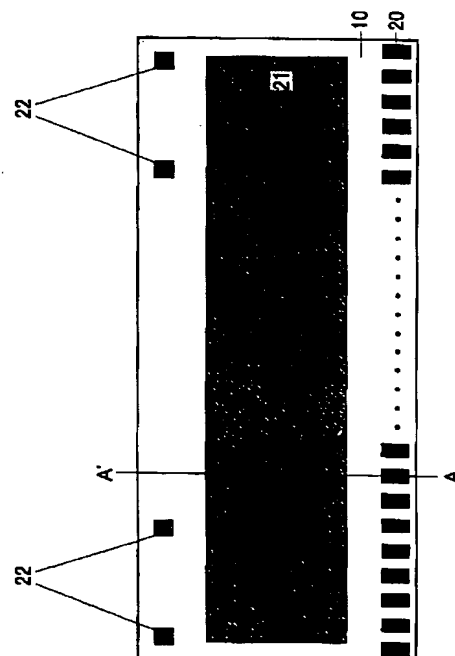
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 光電変換装置及び密着型イメージセンサ

(57) 【要約】

【課題】 受光素子と周辺回路を同一半導体基板上に集積化した光電変換装置において、周辺回路で発生する迷走キャリアを低減し、受光素子への迷走キャリア混入による固定パターンノイズを抑制することを課題とする。

【解決手段】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域を設けて形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して外部の負荷を駆動する出力回路とが同一の半導体基板上に形成された光電変換装置において、上記出力回路はオペアンプの出力を入力とするnMOSソースフォロワと、nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、pMOSソースフォロワの出力はオペアンプの反転入力端子に接続して、外部の負荷と接続する信号出力パッドに接続することを特徴とする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域を設けて形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とする光電変換装置。

【請求項2】 前記出力回路において、前記nMOSソースフォロワを構成するn型MOSトランジスタのドレインと電源の間に、電圧降下手段を設けることを特徴とする請求項1に記載の光電変換装置。

【請求項3】 前記電圧降下手段は抵抗、ダイオード、p型MOSトランジスタのいずれかを用いて構成されることを特徴とする請求項2に記載の光電変換装置。

【請求項4】 前記第1導電型はn導電型であり、前記第2導電型はp導電型である請求項1乃至3のいずれか1項に記載の光電変換装置。

【請求項5】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置を同一実装基板上に複数個実装し、各々の光電変換装置の信号出力パッドが前記実装基板上で電氣的に接続されている密着型イメージセンサにおいて、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とする密着型イメージセンサ。

【請求項6】 前記出力回路において、前記nMOSソースフォロワを構成するn型MOSトランジスタのドレインと電源の間に、電圧降下手段を設けることを特徴とする請求項5に記載の密着型イメージセンサ。

【請求項7】 前記電圧降下手段は抵抗、ダイオード、p型MOSトランジスタのいずれかを用いて構成されることを特徴とする請求項6に記載の密着型イメージセンサ。

【請求項8】 前記第1導電型はn導電型であり、前記第2導電型はp導電型である請求項5乃至7のいずれか1項に記載の密着型イメージセンサ。

【請求項9】 第1導電型の半導体基板表面に複数の第

2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、

前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続されており、前記pMOSソースフォロワは電源と接地の間に2個のp型MOSトランジスタが直列に接続され、基準電位側の前記p型MOSトランジスタのゲートに入力信号が印加され、前記2個のp型MOSトランジスタの接続点から出力信号が得られる回路であり、基準電位側の前記p型MOSトランジスタのしきい値電圧の絶対値は電源側の前記p型MOSトランジスタのしきい値電圧の絶対値よりも低いことを特徴とする光電変換装置。

【請求項10】 前記第1導電型はn導電型であり、前記第2導電型はp導電型であることを特徴とする請求項9に記載の光電変換装置。

【請求項11】 前記電源側のp型MOSトランジスタは前記n型半導体基板よりも不純物濃度の高いn型ウェル領域に形成され、前記接地側のp型MOSトランジスタは前記n型半導体基板に形成されることを特徴とする請求項10に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換装置と密着型イメージセンサに関し、特に複数の受光素子とMOSトランジスタで構成された周辺回路が同一半導体基板上に形成された光電変換装置及び密着型イメージセンサにおける固定パターンノイズ(FPN: Fixed Pattern Noise)の低減に関するものである。

【0002】

【従来技術】近年、受光素子と信号処理や制御を行う周辺回路を同一半導体基板上に集積化した1次元、および2次元の光電変換装置の開発が盛んに行われている。例えば、オペアンプで構成された内部基準電圧発生回路を有する光電変換装置(特開平9-65215)等が提案されている。

【0003】受光素子と周辺回路を同一半導体基板上に集積化した光電変換装置の回路構成の一例を図4に示す。周辺回路はCMOSオペアンプ40を用いた回路であり、CMOSオペアンプ40は、例えば図5(R. Gregorian, G.C. Temes 「ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESSING」 P.170 Fig.4.59.)に示すように差動段50、出力段51の各ブロックから構成されている。一般に出力段51は外部の負荷を駆動するため、他

MOSソースフォロワは電源と接地の間に2個のp型MOSトランジスタが直列に接続され、基準電位側の前記p型MOSトランジスタのゲートに入力信号が印加され、前記2個のp型MOSトランジスタの接続点から出力信号が得られる回路であり、基準電位側の前記p型MOSトランジスタのしきい値電圧の絶対値は電源側の前記p型MOSトランジスタのしきい値電圧の絶対値よりも低いことを特徴とする光電変換装置。

【請求項10】 前記第1導電型はn導電型であり、前記第2導電型はp導電型であることを特徴とする請求項9に記載の光電変換装置。

【請求項11】 前記電源側のp型MOSトランジスタは前記n型半導体基板よりも不純物濃度の高いn型ウェル領域に形成され、前記接地側のp型MOSトランジスタは前記n型半導体基板に形成されることを特徴とする

請求項10に記載の光電変換装置。

【請求項12】 複数の受光素子と、前記受光素子からの信号が順次出力される共通出力線と、前記共通出力線からの信号を出力するソースフォロワ回路を含む出力回路と、を同一半導体基板に集積化し、前記ソースフォロワ回路に含まれる前記共通出力線からの信号を入力するトランジスタをp型トランジスタとすることを特徴とする光電変換装置。

【請求項13】 複数の受光素子と、前記受光素子からの信号が順次出力される共通出力線と、前記共通出力線からの信号を出力する出力回路と、を同一半導体基板に集積化し、前記出力回路には、前記出力回路に含まれるトランジスタの主電極間の電圧を低下させるための電圧降下手段を含むことを特徴とする光電変換装置。

**THIS PAGE BLANK (USPTO)**

のブロックよりも大きな電流を流し、回路形式としても相互コンダクタンス $g_m$ がp型MOSトランジスタよりも大きいn型MOSトランジスタを用いたソースフォロウ回路やn型とp型のMOSトランジスタを組み合わせた反転アンプ回路、ブッシュアップ回路が用いられている。

【0004】

【発明が解決しようとする課題】ところで、MOSトランジスタは、ゲートに電圧を印加してチャネルが形成された状態で、ドレイン-ソース間に電圧を印加すると、チャネルのドレイン端近傍において電界が集中し、インバクティオン化により新たな電子-正孔対が生成される場合がある。インバクティオン化によって生成されたキャリアの大部分は基板電流となり半導体基板の基準電位に吸収されるが、一部は再結合し、その際に発光を伴う。この発光によって新たな電子-正孔対が半導体基板中に生成され、半導体基板中を拡散する迷走キャリアとなる。この迷走キャリアが受光素子に達すると本来の光信号以外に偽信号が発生し、光電変換装置においては固定パターンノイズ(FPN)の要因となる。

【0005】本発明者らによる、n型、p型それぞれのMOSトランジスタのゲート電圧 $V_g$ に対する基板電流の測定結果を図6に示す。n型MOSトランジスタはp型MOSトランジスタに比べて基板電流が4~5桁ほど大きく、n型MOSトランジスタの方がインバクティオン化による電子-正孔対の発生が大きい。ゆえにn型MOSトランジスタの方が、基板電流が流れることにより半導体基板内に迷走キャリアが生成されやすいことがわかる。

【0006】また、MOSトランジスタの動作点と基板電流の相関については、ゲート電圧依存よりもドレイン-ソース間電圧依存の方が大きく、ドレイン-ソース間電圧に対して指数関数的に増大することが実験結果より得られた。ゆえにドレイン-ソース間電圧を低下することにより、迷走キャリアの生成が抑えられることがわかる。

【0007】上記のような、迷走キャリアが複数個の受光素子内に混入することによる固定パターンノイズは受光素子が高感度になるほど信号レベルに対して無視できなくなってくる。

【0008】図7は従来技術の負荷を駆動する出力段にn型MOSトランジスタを用いた1次元の密着型イメージセンサの固定パターンノイズの発生を模式的に表している。出力段31が位置している部分の暗出力が他の部分よりも大きくなっており、迷走キャリア混入による固定パターンノイズが発生していることを示している。

【0009】【本発明の目的】本発明の目的は、受光素子と周辺回路を同一半導体基板上に集積化した光電変換装置において、周辺回路で発生する迷走キャリアを低減し、受光素子への迷走キャリア混入による固定パターン

ノイズを抑制する光電変換装置を提供することである。

【0010】

【課題を解決するための手段】上記の問題を解決するために、本発明は、第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロウと、前記nMOSソースフォロウの出力を入力とするpMOSソースフォロウで構成され、前記pMOSソースフォロウの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とするものである。

【0011】また、本発明は、第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置を同一実装基板上に複数個実装し、各々の光電変換装置の信号出力パッドが前記実装基板上で電氣的に接続されている密着型イメージセンサにおいて、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロウと、前記nMOSソースフォロウの出力を入力とするpMOSソースフォロウで構成され、前記pMOSソースフォロウの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とするものである。

【0012】また、本発明は、第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロウと、前記nMOSソースフォロウの出力を入力とするpMOSソースフォロウで構成され、前記pMOSソースフォロウの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続されており、前記pMOSソースフォロウは電源と基準電位である接地の間に2個のp型MOSトランジスタが直列に接続され、接地側の前記p型MOSトランジスタのゲートに入力信号が印加され、前記2個のMOSトランジスタの接続点から出力信号が得られる回路であり、接地側の前記p型MOSトランジスタのしきい値電圧の絶対値は電源側の前記p型MOSトランジスタのしきい値電圧の絶対値よりも低いことを特徴とするものである。

【0013】[作用] 上記した光電変換装置及び密着型イメージセンサによれば、迷走キャリアの主たる発生源である光電変換装置の出力回路の大きな負荷を駆動する出力段をp型MOSトランジスタのみで構成することにより、迷走キャリアそのものの発生を抑制することが可能であるため、受光素子への迷走キャリアの混入による固定パターンノイズを低減することができる。

【0014】また、n型MOSトランジスタを用いる部分には、n型MOSトランジスタのドレインソース間電圧を低下させるための電圧降下手段を用いることにより、迷走キャリアの発生を抑制し、さらに固定パターンノイズを低減することができる。この電圧降下手段はn型MOSトランジスタ以外の素子、例えば抵抗、ダイオード、p型MOSトランジスタ等で構成するとより効果的である。

【0015】また、固定パターンノイズの要因となる迷走キャリアは、光信号となるキャリアと同一導電型であり、半導体基板の少数キャリアであるため、少数キャリアの拡散長を考慮すると、正孔の方が電子に比べて拡散長が短く、ゆえに半導体基板をn型とすることにより、周辺回路において発生した迷走キャリアが受光素子に到達しにくく、迷走キャリアの混入による固定パターンノイズの低減に有効である。

【0016】さらに、同一実装基板上に光電変換装置を含む複数のチップが実装され、各々の出力信号がパッドを介して共通出力線に接続されているような密着型イメージセンサにおいては、駆動する負荷が比較的大きいため、本発明の構成による光電変換装置は特に好適である。

【0017】なお、本発明は、密着型イメージセンサに限らず、1次元、あるいは2次元の光電変換装置においても、迷走キャリアの混入による固定パターンノイズの低減に有効である。

【0018】更に、本発明は、出力回路に用いられるpMOSソースフォロウにおいて、バックゲート効果によってしきい値電圧の高くなる基準電位点である接地側のMOSトランジスタのしきい値電圧を低くすることによって、出力回路のダイナミックレンジの拡大を図ることが可能となる。

【0019】また、同一導電型でしきい値電圧の異なるMOSトランジスタを形成するためにはチャネル領域の不純物濃度を個別に制御することが必要となるが、電源側のMOSトランジスタは半導体基板よりも不純物濃度の高いウェル領域に形成し、基準電位側である接地側のMOSトランジスタはウェル領域の外の半導体基板に形成することにより、双方のMOSトランジスタのチャネル領域を同一工程で形成し、しきい値電圧の異なるMOSトランジスタを形成することができる。

【0020】

【発明の実施の形態】

【実施形態1】 本発明による実施形態を、図面を参照して詳細に説明する。図1は本発明による受光素子と周辺回路を同一半導体基板上に集積化した光電変換装置の平面構造の概略図、図2は図1におけるA-A'部の断面構造の概略図を示している。

【0021】本実施形態においては、n型半導体基板10上にn<sup>+</sup>型埋込み層11、n<sup>+</sup>型エピタキシャル層12が形成され、n<sup>+</sup>型エピタキシャル層12表面に、複数の受光素子20と、オペアンプ、出力回路を含む周辺回路21と、パッド22が形成されている。

【0022】受光素子20は、半導体基板表面のn<sup>+</sup>型エピタキシャル層12表面に複数のp<sup>+</sup>型領域13とn型領域14が形成され、その周囲にn<sup>+</sup>型バリア領域15を形成している。本実施形態の画素構造のn型埋込み層11、およびn型バリア領域15のポテンシャルバリアによって、固定パターンノイズの要因となる周辺回路21で発生するn型半導体基板中の少数キャリアの正孔は、受光素子20内への混入が低減される。

【0023】本実施形態では、図1に示すように、受光素子は例えば234個形成され、234個の密着型イメージセンサの1次元に配列されている。

【0024】また、周辺回路21は全てCMOS回路で構成されている。図3は本発明の光電変換装置の回路構成図である。

【0025】受光素子20は、電荷-電圧変換手段30に接続され、入射光量に応じた電圧信号に変換される。電圧信号はシフトレジスタ36によって順次、共通出力線35に出力される。共通出力線35はオペアンプ31の非反転入力端子に接続され、出力回路32の出力をオペアンプ31の反転入力端子に接続され、オペアンプ31によってインピーダンス変換された後、出力回路32によってパッド22を介して外部に出力される。

【0026】出力回路32はレベルシフトのためのn型MOSトランジスタと定電流源で構成されたソースフォロウ回路321と、外部の負荷を駆動するためのp型MOSトランジスタと定電流源で構成されたソースフォロウ回路322で構成されている。n型MOSトランジスタからのインパクトイオン化による迷走キャリアの発生を抑制するために、n型MOSソースフォロウの駆動トランジスタのドレインと、電源の間には電圧降下手段としてドレインとゲートを接続したp型MOSトランジスタ33を設けている。本実施形態においては、この電圧降下手段としてp型MOSトランジスタ33を用いているが、本発明においてはp型MOSトランジスタの代わりに抵抗やダイオードを用いても構わない。

【0027】また、オペアンプ31内部にはn型MOSトランジスタを用いる場合もあるが、オペアンプは出力回路32のMOSトランジスタを駆動するだけでよく、オペアンプ31に流れる電流は出力回路に比べて数分の一から数十分の一であり、オペアンプ31で発生した迷



走キャリアが信号レベルに対して問題となるようなノイズにはならない。しかしながら、固定パターンノイズをさらに抑制するために、オペアンプ31の入力部の差動段をpMOSトープ型の回路構成にするとより効果的である。

【0028】図8に示すように、上記の、特に図2に示すような構成からなる受光素子アレイとしての光電変換半導体チップ80をガラスエポキシ基板81上に11個実装し、A4サイズの密着型イメージセンサを形成した。ガラスエポキシ基板81には、スタートパルスSPと、クロックCLK、出力Voutの各共通信号線が配線されており、各々の光電変換半導体チップ80の入出力パッドとワイヤボンディングで接続されている。

【0029】まず、スタートパルスSPが入力されると、全受光素子同時に、それぞれの受光素子に設けられている蓄積容量に光量に応じた出力電圧が読み出される。続いて、全受光素子をリセットし、蓄積動作を開始する。同時にチップ内の視フトレジスタによって1チップ目から順次走査を行い、蓄積容量に読み出された電圧を共通出力線Voutに出力する。従来技術のように、外部負荷を駆動する出力回路がn型MOSトランジスタを含む構成である場合と、本実施形態による固定パターンノイズを比較行ったところ、本実施形態の固定パターンノイズは約1/10以下であった。

【0030】〔実施形態2〕本発明による第2の実施形態を図面に従って説明する。

【0031】図9は本発明による受光素子と周辺回路を同一半導体基板上に集積化した光電変換装置の平面構造の概略図、図10は図9におけるA-A'部の断面構造の概略図を示している。

【0032】本実施形態においては、n型半導体基板10上にn<sup>+</sup>型埋込み層11、n<sup>+</sup>型エピタキシャル層12が形成され、n<sup>+</sup>型エピタキシャル層表面に、複数の受光素子20と、オペアンプ、出力回路を含む周辺回路21と、パッド22が形成されている。

【0033】受光素子20はn<sup>+</sup>型エピタキシャル層12の表面にp<sup>+</sup>型領域13とn型領域14が形成され、その周囲にn<sup>+</sup>型バリア領域15を形成している。本実施形態の画素構造のn<sup>+</sup>型埋込み層11、およびn<sup>+</sup>型バリア領域15のポテンシャルバリアによって、固定パターンノイズの要因となるn型半導体基板中の少数キャリアの正孔は、受光素子内への混入が低減される。

【0034】本実施形態では、受光素子20は234個形成され、1次元に配列され、密着型イメージセンサとして適用できる。

【0035】また、周辺回路21は全てCMOS回路で構成されている。ホトダイオードのpn接合で受光素子20を構成し、その受光素子20のアノードにp-well上のn型MOSトランジスタ16のゲートが接続されたソースホロワが構成され、該n型MOSトランジスタ

16のソースにn-well上のスイッチング用のp型MOSトランジスタ17のソースが接続され、該p型MOSトランジスタ17のソースからオペアンプやシフトレジスタ、スイッチングMOSトランジスタ等の出力部を構成して、パッド22から画像信号として出力される。

【0036】図11は本発明の光電変換装置の回路構成図である。受光素子20は電荷-電圧変換手段30に接続され、入射光量に応じた電圧信号に変換される。電圧信号はシフトレジスタ36によって順次、共通出力線35に出力される。共通出力線35はオペアンプ31の非反転入力に接続され、出力回路32の出力をオペアンプ31の反転入力端子に接続され、オペアンプ31によってインピーダンス変換された後、出力回路32によってパッド22を介して外部に出力される。

【0037】出力回路32はレベルシフトのためのn型MOSトランジスタで構成されたソースフォロワ回路321と、外部の負荷を駆動するためのp型MOSトランジスタ324で構成されたソースフォロワ回路322で構成されている。ソースフォロワ回路321内のn型MOSトランジスタからのインパクトイオン化による迷走キャリアの発生を抑制するために、n型MOSソースフォロワの駆動トランジスタのドレインと、電源の間には電圧降下手段としてドレインとソースを接続したp型MOSトランジスタ33を設けている。本実施形態においては、この電圧降下手段としてp型MOSトランジスタを用いているが、本発明においてはp型MOSトランジスタの代わりに抵抗やダイオードを用いても構わない。

【0038】図12にpMOSソースフォロワを構成する部分の断面構造の概略図を示す。pMOSソースフォロワ322を構成する2個のp型MOSトランジスタのうち、電源側に接続されるMOSトランジスタ323はn型半導体基板表面に形成された不純物濃度が半導体基板よりも高いn型ウェル領域19に形成され、接地側に接続されるMOSトランジスタ324はn型半導体基板のn型ウェル領域が形成されていない部分に形成される。n型ウェル領域19に形成されたp型MOSトランジスタ323のしきい値電圧は約-0.75Vであり、n型ウェル領域の外のn型半導体基板に形成されたp型MOSトランジスタ324のしきい値電圧は約-0.29Vであった。

【0039】pMOSソースフォロワ回路322を構成する2つのMOSトランジスタを同一ウェルに形成した場合、出力回路のダイナミックレンジは1.98V~4.46Vであったのに対し、本発明による出力回路のダイナミックレンジは1.04V~4.16Vであり、0.64Vの拡大となった。

【0040】本実施形態では、ソースフォロワ回路322を構成する2つのp型MOSトランジスタのしきい値電圧は上記した値であるが、本発明においてはしきい値

電圧はこの値でなくても構わない。

【0041】上記実施形態では、同一半導体基板上に形成した主に1次元のイメージセンサについて説明したが、2次元のイメージセンサや密着型イメージセンサであっても、上述と同様に構成することにより、固定パターンノイズを大幅に抑圧できる。この2次元イメージセンサは、1次元の場合のシフトレジスタに対して、水平用・垂直用シフトレジスタを設け、例えばマトリクス状に構成された受光素子から、1ラインずつ読み出して、時系列的に走査を繰り返して2次元の画像信号を得ることができる。例えば、図7に示す固定パターンノイズが2次元的に発生する場合に、従来例で示した、受光素子列以外の周辺回路部分で発生する迷走キャリアに影響を受ける受光素子に対して、受光素子領域に対応して半導体基板上にバリア領域を設けたり、回路的に電圧降下手段を設けたり、出力パッドへの出力回路にp型MOSトランジスタで形成したりして、迷走キャリアの発生そのものを縮小して固定パターンノイズを大幅に削減できる。

【0042】

【発明の効果】以上の説明のように、受光素子と周辺回路を同一半導体基板上に集積した光電変換装置においては、本発明の構成を用いることで、周辺回路からの迷走キャリアの発生源である光電変換装置の出力回路の外部の負荷を駆動する出力段をp型MOSトランジスタのみで構成することにより迷走キャリアの発生を抑制し、受光素子への迷走キャリアの混入を減少させることにより固定パターンノイズを抑制することができる。

【0043】更に、受光素子と周辺回路を備え、外部の負荷を駆動する出力段がpMOSソースフォロワで構成されている回路において、駆動トランジスタとなる接地側のMOSトランジスタのしきい値電圧の絶対値を負荷トランジスタとなる電源側のMOSトランジスタのしきい値電圧の絶対値より低くすることにより、出力段のダイナミックレンジの拡大を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明による受光素子と周辺回路を同一半導体基板上に集積した光電変換装置の平面構造の概略図である。

【図2】図1におけるA-A'部の断面構造の概略図である。

【図3】本発明による光電変換装置の回路構成図である。

【図4】従来の光電変換装置の回路構成図である。

【図5】図4において用いられているCMOSオペアン

プの回路構成図である。

【図6】MOSトランジスタのドレイン-ソース間電圧に対する基板電流を表す図である。

【図7】従来技術における迷走キャリア混入による固定パターンノイズ発生の様式図である。

【図8】本発明による密着型イメージセンサである。

【図9】本発明による受光素子と周辺回路を同一半導体基板上に集積した光電変換装置の平面構造の概略図である。

10 【図10】図9におけるA-A'部の断面構造の概略図である。

【図11】本発明による光電変換装置の回路構成図である。

【図12】pMOSソースフォロワ部分の断面構造の概略図である。

【符号の説明】

10 n型半導体基板

11 n型埋込み層

12 n型エビタキシャル層

20 13 p型領域

14 n型領域

15 n型バリア領域

16 n型MOSトランジスタ

17 p型MOSトランジスタ

18 p型ウェル領域

19 n型ウェル領域

20 受光素子

21 周辺回路

22 パッド

30 電荷-電圧変換手段

31 オペアンプ

32 出力回路

321 nMOSソースフォロワ

322 pMOSソースフォロワ

33 電圧降下手段

34 出力スイッチ

35 共通出力線

36 シフトレジスタ

40 CMOSオペアンプ

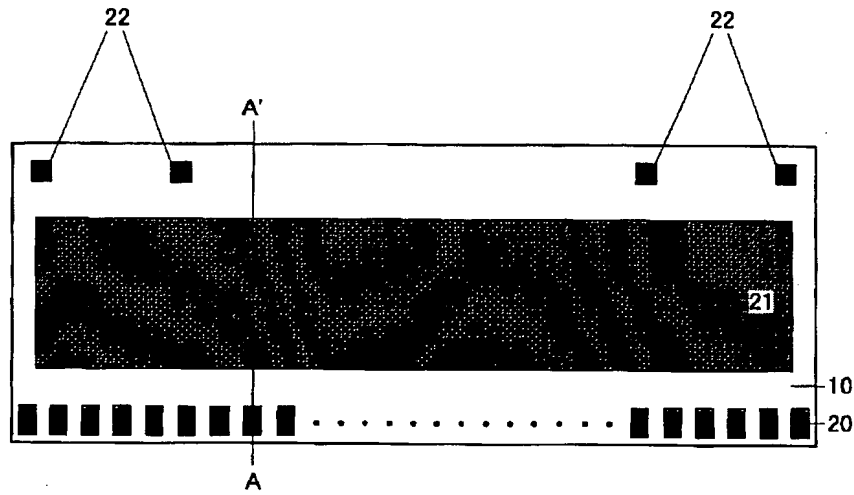
50 差動段

51 出力段

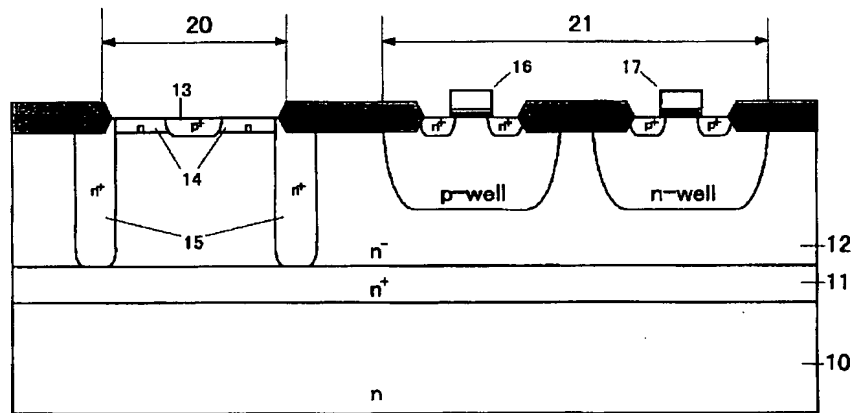
80 光電変換半導体チップ

81 ガラスエポキシ基板

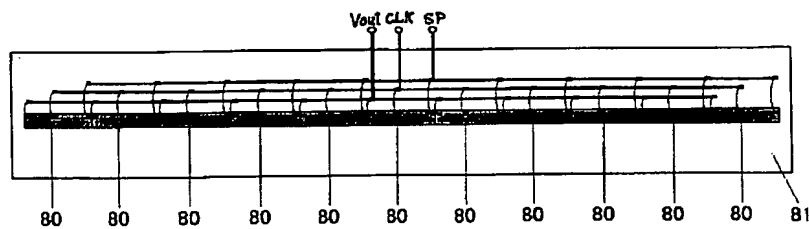
【図1】



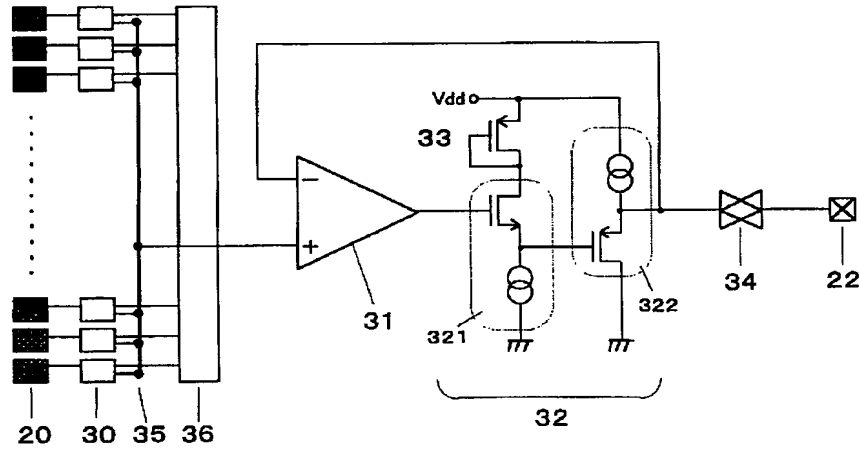
【図2】



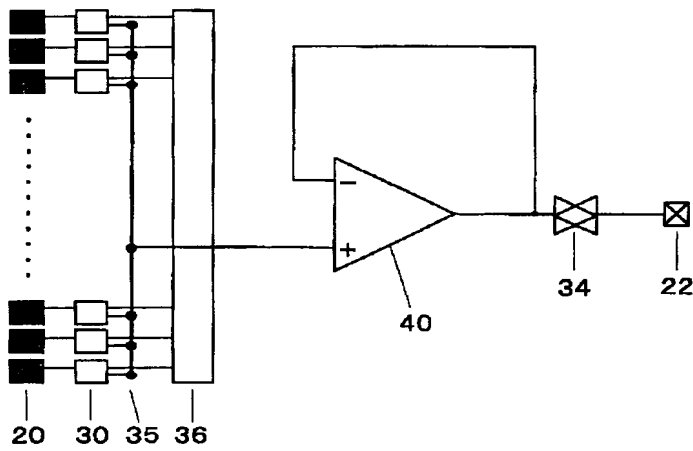
【図8】



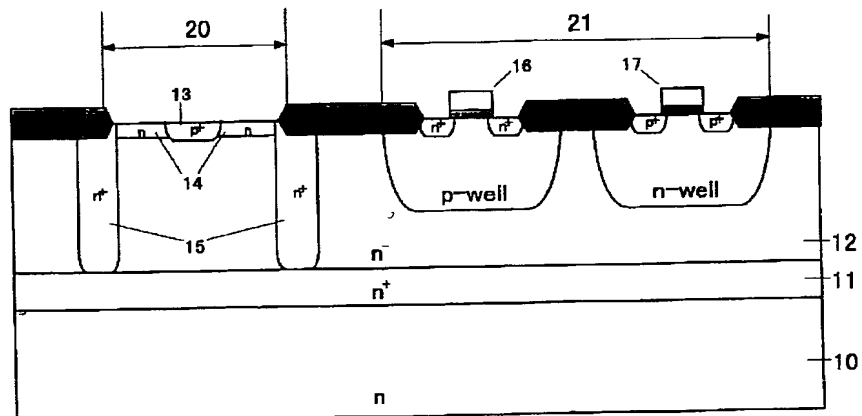
【図3】



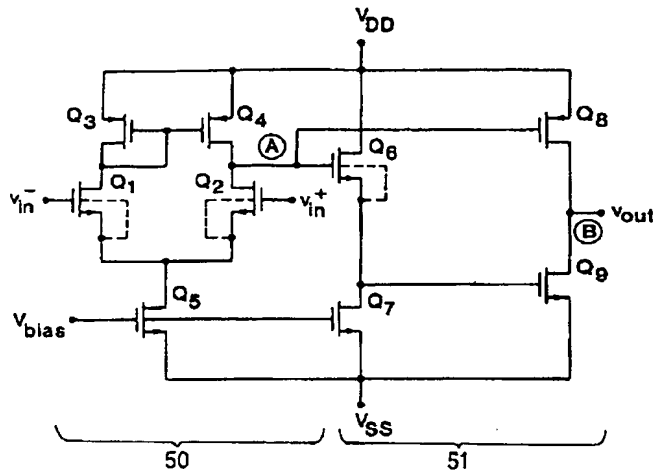
【図4】



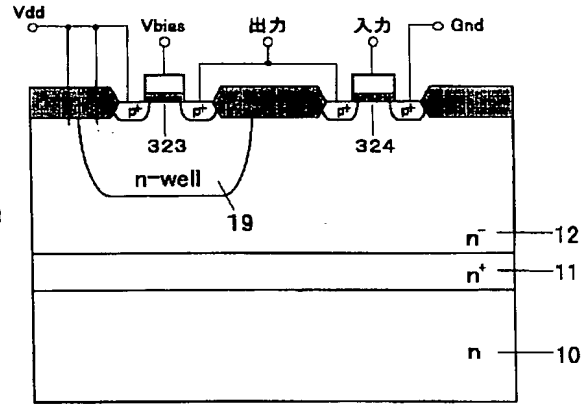
【図10】



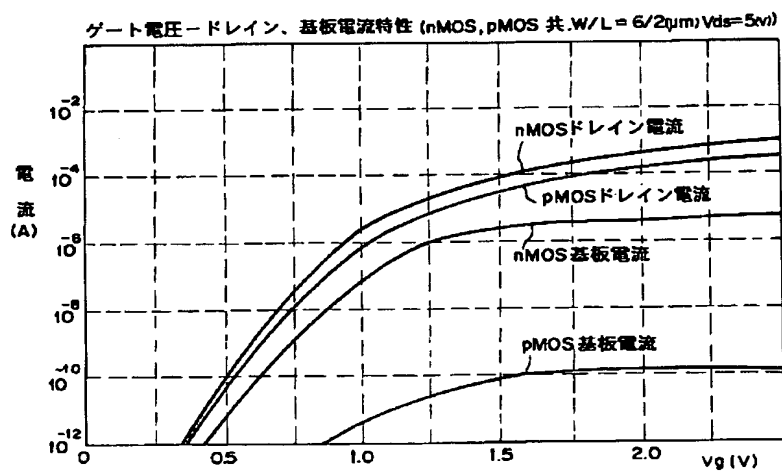
【図5】



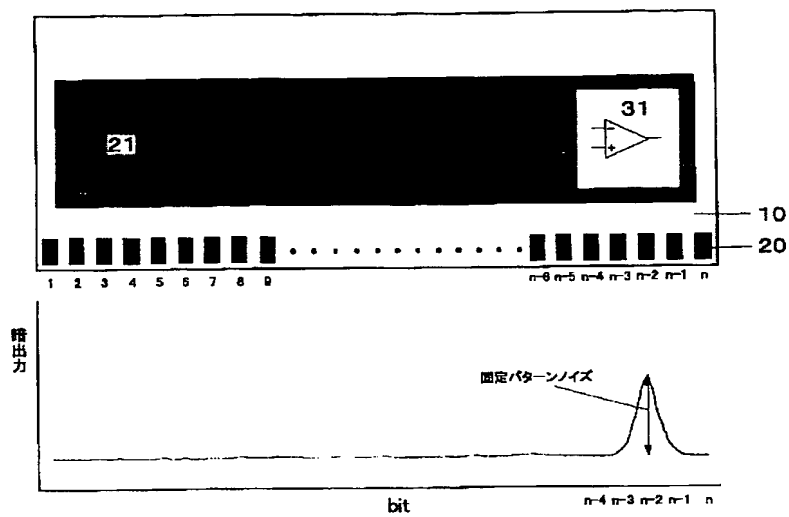
【図12】



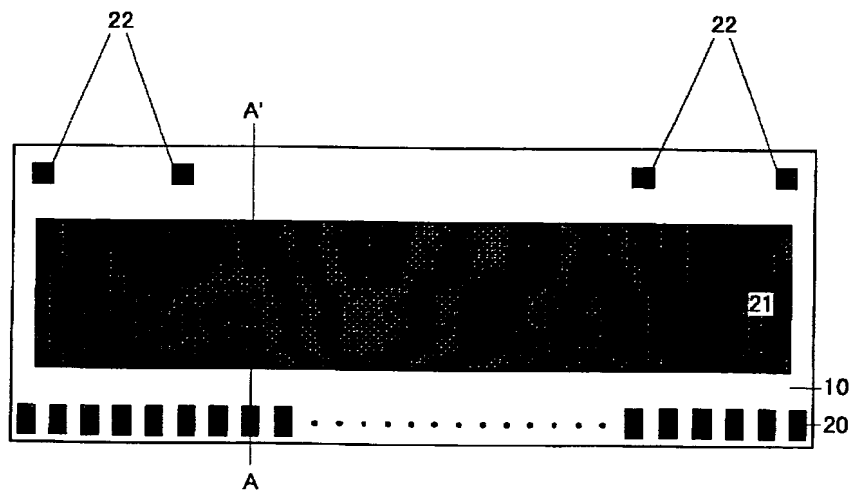
【図6】



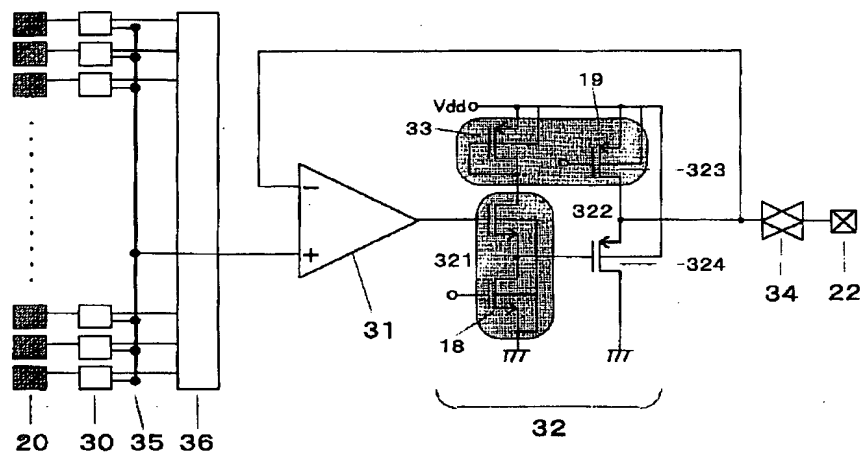
【図7】



【図9】



【圖 1 1】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成13年7月6日(2001.7.6)

【公開番号】特開平10-335625  
 【公開日】平成10年12月18日(1998.12.18)  
 【年通号数】公開特許公報10-3357  
 【出願番号】特願平9-142192  
 【国際特許分類第7版】

H01L 27/146

H04N 5/335

【FI】

H01L 27/14 A

H04N 5/335 E

【手続補正書】

【提出日】平成12年6月19日(2000.6.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域を設けて形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とする光電変換装置。

【請求項2】 前記出力回路において、前記nMOSソースフォロワを構成するn型MOSトランジスタのドレインと電源の間に、電圧降下手段を設けることを特徴とする請求項1に記載の光電変換装置。

【請求項3】 前記電圧降下手段は抵抗、ダイオード、p型MOSトランジスタのいずれかをを用いて構成されることを特徴とする請求項2に記載の光電変換装置。

【請求項4】 前記第1導電型はn導電型であり、前記第2導電型はp導電型である請求項1乃至3のいずれか1項に記載の光電変換装置。

【請求項5】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を

駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置を同一実装基板上に複数個実装し、各々の光電変換装置の信号出力パッドが前記実装基板上で電氣的に接続されている密着型イメージセンサにおいて、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続することを特徴とする密着型イメージセンサ。

【請求項6】 前記出力回路において、前記nMOSソースフォロワを構成するn型MOSトランジスタのドレインと電源の間に、電圧降下手段を設けることを特徴とする請求項5に記載の密着型イメージセンサ。

【請求項7】 前記電圧降下手段は抵抗、ダイオード、p型MOSトランジスタのいずれかをを用いて構成されることを特徴とする請求項6に記載の密着型イメージセンサ。

【請求項8】 前記第1導電型はn導電型であり、前記第2導電型はp導電型である請求項5乃至7のいずれか1項に記載の密着型イメージセンサ。

【請求項9】 第1導電型の半導体基板表面に複数の第2導電型の第1半導体領域で形成された複数の受光素子と、MOSトランジスタで構成されたオペアンプと、信号出力パッドを介して電氣的に接続された外部の負荷を駆動する出力回路とが同一の前記半導体基板に形成された光電変換装置において、前記出力回路は前記オペアンプの出力を入力とするnMOSソースフォロワと、前記nMOSソースフォロワの出力を入力とするpMOSソースフォロワで構成され、前記pMOSソースフォロワの出力は前記オペアンプの反転入力端子に接続し、かつ、外部の負荷と電氣的に接続するための信号出力パッドに接続されており、前記p